

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-108288

(43)Date of publication of application : 10.04.2002

(51)Int.Cl. G09G 3/36  
G02F 1/133  
G09G 3/20

(21)Application number : 2000-293810 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

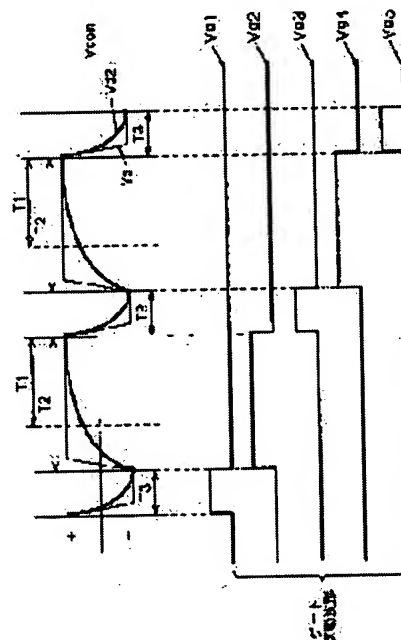
(22)Date of filing : 27.09.2000 (72)Inventor : HIROHATA SHIGEKI

(54) LIQUID CRYSTAL DRIVING METHOD, LIQUID CRYSTAL DRIVING DEVICE AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that charging time to a pixel lacks, charging lacks and it becomes a flickering cause when one horizontal scanning period is short.

SOLUTION: A plurality of lengths for one horizontal scanning periods are given. When a charging polarity is minus, one horizontal scanning period is shortened. When charging polarity is plus, one horizontal scanning period is prolonged.



LEGAL STATUS

[Date of request for examination] 13.03.2002

[Date of sending the examiner's decision of rejection] 04.11.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-108288  
(P2002-108288A)

(43) 公開日 平成14年4月10日 (2002.4.10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テラポート*(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 E 5 C 0 8 0
	6 2 1		6 2 1 B
	6 2 2		6 2 2 C

審査請求 未請求 請求項の数41 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2000-293810(P2000-293810)

(22) 出願日 平成12年9月27日 (2000.9.27)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 廣畑 茂樹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

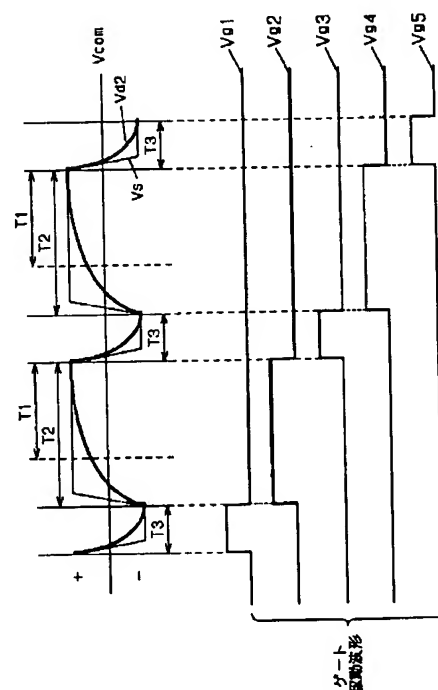
最終頁に続く

(54) 【発明の名称】 液晶駆動方法および液晶駆動装置、液晶表示装置

(57) 【要約】

【課題】 1 水平走査期間が短い場合、画素への充電時間が不足して充電不足が発生し、それがフリッカー原因となる。

【解決手段】 1 水平走査期間の長さを複数もち、充電極性が-極性の場合は1 水平走査期間を短くし、充電極性が+極性の場合は1 水平走査期間を長くする。



(2)

1

## 【特許請求の範囲】

【請求項 1】基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置を駆動する駆動装置であって、水平走査期間の長さを複数種類持つことを特徴とする液晶駆動装置。

【請求項 2】水平走査期間の長さは、画素に充電する信号の電位が前フレームよりも高い場合の方が、前フレームよりも低い場合よりも長いことを特徴とする、請求項 1 に記載の液晶駆動装置。

【請求項 3】画素極性配置は、横一列同一極性のラインと（これを A と呼ぶ）、1 画素毎に極性が反転するラインと（これを B と呼ぶ）、前記横一列同一極性のライン（A）とは極性が反対のラインと（これを C のラインと呼ぶ）、前記 1 画素毎に極性が反転するライン（B）とは極性が反対のライン（これを D と呼ぶ）とで構成され、前記 A～D のラインを A、B、C、D、A、B、C、D・・・と繰り返すことを特徴とする、請求項 1 に記載の液晶駆動装置。

【請求項 4】A、B、C、D の位置がフレーム毎に変化することを特徴とする、請求項 3 に記載の液晶駆動装置。

【請求項 5】基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置を駆動する駆動装置であって、映像信号を 1 ライン分記憶することのできる記憶手段を 2 ライン分有することを特徴とする液晶駆動装置。

【請求項 6】水平走査期間の長さを複数種類持つことを特徴とする、請求項 5 に記載の液晶駆動装置。

【請求項 7】記憶手段に記憶された映像信号を読み出す場合の同期クロック信号の周波数は、外部より入力された映像信号の同期クロック信号の周波数と同一の周波数であることを特徴とする、請求項 5 に記載の液晶駆動装置。

【請求項 8】記憶手段に記憶された映像信号を読み出す場合の同期クロック信号の周波数は、外部より入力された映像信号の同期クロック信号の周波数とは異なる周波数であることを特徴とする、請求項 5 に記載の液晶駆動装置。

【請求項 9】記憶手段に記憶された映像信号を読み出す場合の同期クロック信号の周波数は、外部入力クロック

2

の周波数に応じて自動的に変化することを特徴とする請求項 5 に記載の液晶駆動装置。

【請求項 10】読み出しクロックの生成手段を、内部に 1 つ以上備えることを特徴とする請求項 5 に記載の液晶駆動装置。

【請求項 11】基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置を駆動する駆動装置であって、書きこみ動作と読み出し動作がそれぞれ独立した任意のタイミングで行うことが可能で、映像信号の入力端子と出力端子がそれぞれ独立して備わっている記憶手段を映像信号 1 ライン分有することを特徴とする液晶駆動装置。

【請求項 12】水平走査期間の長さを複数種類持つことを特徴とする、請求項 11 に記載の液晶駆動装置。

【請求項 13】記憶手段に記憶された映像信号を読み出す場合の同期クロック信号の周波数は、外部より入力された映像信号の同期クロック信号の周波数と同一の周波数であることを特徴とする、請求項 11 に記載の液晶駆動装置。

【請求項 14】記憶手段に記憶された映像信号を読み出す場合の同期クロック信号の周波数は、外部より入力された映像信号の同期クロック信号の周波数とは異なる周波数であることを特徴とする、請求項 11 に記載の液晶駆動装置。

【請求項 15】記憶手段に記憶された映像信号を読み出す場合の同期クロック信号の周波数は、外部入力クロックの周波数に応じて自動的に変化することを特徴とする請求項 11 に記載の液晶駆動装置。

【請求項 16】読み出しクロックの生成手段を、内部に 1 つ以上備えることを特徴とする請求項 11 に記載の液晶駆動装置。

【請求項 17】基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置を駆動する駆動装置であって、1 画面分の映像信号を記憶することのできる記憶手段を有することを特徴とする、液晶駆動装置。

【請求項 18】水平走査期間の長さを複数種類持つことを特徴とする、請求項 17 に記載の液晶駆動装置。

【請求項 19】記憶手段に記憶された映像信号を読み出す場合の同期クロック信号の周波数は、外部より入力された映像信号の同期クロック信号の周波数と同一の周波

50

(3)

3

数であることを特徴とする、請求項 17 に記載の液晶駆動装置。

【請求項 20】記憶手段に記憶された映像信号を読み出す場合の同期クロック信号の周波数は、外部より入力された映像信号の同期クロック信号の周波数とは異なる周波数であることを特徴とする、請求項 17 に記載の液晶駆動装置。

【請求項 21】記憶手段に記憶された映像信号を読み出す場合の同期クロック信号の周波数は、外部入力クロックの周波数に応じて自動的に変化することを特徴とする請求項 17 に記載の液晶駆動装置。

【請求項 22】読み出しクロックの生成手段を、内部に 1 つ以上持つことを特徴とする請求項 17 に記載の液晶駆動装置。

【請求項 23】基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置において、前記ソース線を駆動する駆動装置であって、出力極性を任意のタイミングで変更可能であることを特徴とする液晶表示装置。

【請求項 24】1 出力端子あたり 1 つ以上のデジタル／アナログ変換手段を内部に有することを特徴とする、請求項 23 に記載の液晶表示装置。

【請求項 25】出力部にセレクタを有し、端子毎に出力極性を外部より任意に指定することが可能であることを特徴とする、請求項 23 に記載の液晶表示装置。

【請求項 26】基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置において、前記ソース線を駆動する駆動装置であって、複数の出力端子を有し、端子毎に出力極性を任意に設定可能であることを特徴とする液晶表示装置。

【請求項 27】出力信号の極性指定端子を 2 つ以上有することを特徴とする、請求項 26 に記載の液晶表示装置。

【請求項 28】液晶表示装置の輝度を測定する輝度測定手段と、前記輝度測定手段により測定した輝度情報を解析する輝度解析手段と、前記輝度解析手段により解析された情報に基づいて水平走査期間を調整するよう指示する液晶駆動装置制御手段と、前記液晶駆動装置制御手段により送信されてきた制御信号に基づいて水平走査期間を変化することのできる機能を有する液晶駆動装置とを

4

備え、画面の任意の位置においてフリッカーが最小となるような水平走査期間の長さを自動的に検出し、前記検出した最適な水平走査期間の情報をその時の位置情報、温度情報と共に、記憶手段に記録することの出来る記録手段とを備えた液晶表示装置。

【請求項 29】記憶手段は、半導体を用いた記憶手段であることを特徴とする、請求項 28 に記載の液晶表示装置。

【請求項 30】記憶手段は、磁気を用いた記憶手段であることを特徴とする、請求項 28 に記載の液晶表示装置。

【請求項 31】記憶手段は、光を用いた記憶手段であることを特徴とする、請求項 28 に記載の液晶表示装置。

【請求項 32】記憶手段は、不揮発性であることを特徴とする、請求項 28 に記載の液晶表示装置。

【請求項 33】走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のデータ線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のデータ線との各交差点に対応して、ゲート線及びデータ線に接続されたスイッチング素子と、前記スイッチング素子を介して前記データ線に接続された画素電極とが設けられた液晶表示装置を駆動する駆動装置であって、記憶手段を有し、前記記憶手段に記憶されている情報を読み出す手段を有し、前記読み出した情報に基づいて 1 ライン毎に画素充電時間を変化させる機能を有することを特徴とする液晶駆動装置。

【請求項 34】記憶手段は、半導体を用いた記憶手段であることを特徴とする、請求項 33 に記載の液晶駆動装置。

【請求項 35】記憶手段は、磁気を用いた記憶手段であることを特徴とする、請求項 33 に記載の液晶駆動装置。

【請求項 36】記憶手段は、光を用いた記憶手段であることを特徴とする、請求項 33 に記載の液晶駆動装置。

【請求項 37】記憶手段は、不揮発性であることを特徴とする、請求項 33 に記載の液晶駆動装置。

【請求項 38】基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置を駆動する方法であって、水平走査期間の長さを複数種類持つことを特徴とする液晶駆動方法。

【請求項 39】水平走査期間の長さは、画素に充電する信号の電位が前フレームよりも高い場合の方が、前フレームよりも低い場合よりも長いことを特徴とする、請求項 39 に記載の液晶駆動方法。

【請求項 40】画素極性配置は、横一列同一極性のライ

(4)

5

ンと（これをAと呼ぶ）、1画素毎に極性が反転するラインと（これをBと呼ぶ）、前記横一列同一極性のライン（A）とは極性が反対のラインと（これをCのラインと呼ぶ）、前記1画素毎に極性が反転するライン（B）とは極性が反対のライン（これをDと呼ぶ）とで構成され、前記A～DのラインをA、B、C、D、A、B、C、D・・・と繰り返すことを特徴とする、請求項39に記載の液晶駆動方法。

【請求項41】A、B、C、Dの位置がフレーム毎に変化することを特徴とする、請求項40に記載の液晶駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置における表示制御技術に関し、アクティブマトリクス液晶表示装置において、フリッカの発生を抑制し高品位な画質を実現する場合において好適な技術に関する。

【0002】

【従来の技術】液晶表示装置は液晶の組成分解を防いで動作寿命を確保するため、交流駆動が必須条件となっている。そのため一定期間毎に液晶に印加する電圧極性を反転させて駆動している。そのため、同一の階調を表示する場合において、+極性で画素を充電する場合と-極性で画素を充電する場合とがある。今後、「+極性」とは、画素に充電する信号の電位が前フレームよりも高い場合を指し、「-極性」とは画素に充電する信号の電位が前フレームよりも低い場合を指すものとする。

【0003】液晶表示装置の解像度がSXGA（1280×1024ピクセル）以下の場合、1水平走査期間が約15 $\mu$ s以上であるため、アクティブマトリクスでは画素に充電する時間を十分に確保でき、充電不足は発生しなかった。しかし、UXGA（1600×1200ピクセル）以上の高解像度になると、1水平走査期間の時間が約10 $\mu$ s以下となり、画素を充電するのに必要な時間が不足して充電不足が発生し、画質が低下するとい問題があった。この様子を、図13に示す。図13において、T1は1水平走査期間、Vd1は画素電位、Vsはソース線電位、Vcomは共通電極電位、 $\Delta V$ は充電誤差を表す。+極性にて充電する場合にVsとVd1との電位差 $\Delta V$ が発生し、充電不足が起こる。そのため従来は、複数の走査線（以下、ゲート線と呼ぶ）を同時選択して画素をプリチャージし、1ライン当たりの選択時間を実質延長するという方法で充電不足対策を行っていた。この様子を図8、図9、及び、図14、図15に示す。図8は画素極性が1ライン目から最終ラインまで極性が同一である場合の画素配置を示したもので、図9はその場合の駆動波形である。図8に示す画素極性配置であれば図9の方法に示すように、ゲートを1ライン前からONして画素をプリチャージしていた。一方、図14に示す画素極性配置の場合は、同一極性の画素は1ラ

6

インおきになっているため、図15のように走査線選択パルスも1ライン毎にONするようにしていた。これを従来例第1の方法と呼ぶ。あるいは、特開昭62-55694号公報のような方法で行っていた。

【0004】

【発明が解決しようとする課題】前述のように、1水平走査期間の時間が短くなると画素の充電不足が起こるため、画素をプリチャージするなどして、対策しなければならない。しかし、従来例第1の方法では、フレーム反転駆動やカラム反転駆動など、隣接する走査線同士を同一の極性で充電するような駆動法の場合には有効であるが、図14の（a）や（b）に示すような走査線毎に極性が「+、-、+、-、・・・」と変化する駆動法では、同一極性でプリチャージするためには飛び越し同時選択駆動となるため、ゲート線駆動波形が一旦OFFしてしまう。このため、連続して2ライン以上ONしている場合に比べて薄膜トランジスタ（以後TFTと呼ぶ）がONする時間が減少し、プリチャージ効果が薄れていた。これは1水平走査期間の時間が短くなればなるほど深刻で、また-極性よりも+極性に充電する場合において深刻である。

【0005】その理由は、一般的にアクティブマトリクス液晶表示装置のスイッチング素子として用いられているTFTの性質にある。TFTはゲートとソースの電位差が大きいほど、ソースドレイン間に多くの電流を流すことができるという性質を持っている。そのため画素電位を+極性で充電する場合と、-極性で充電する場合とでは、TFTが流し得る電流量が異なる。よって、画素を-極性で所望の電位まで充電完了するのに必要な時間よりも、+極性で所望の電位まで充電完了するのに必要な時間の方が長く必要となる。

【0006】以上のように、1水平走査期間が短くなると、同じ階調を+極性と-極性で充電した場合とでは、+極性の方が充電不足が起きやすく、それが残留DC成分となって充電極性間で輝度差が生じ、フリッカーが発生するという問題があった。

【0007】

【課題を解決するための手段】本願第1の発明は、+極性にて充電する場合と-極性にて充電する場合とで充電完了までの時間が異なることにより、同一階調を表示した場合でも、+極性と-極性で輝度差が生じフリッカーが発生するという問題を解決するために、基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置を駆動する駆動装置であって、水平走査期間の長さを複数もつことで充電極性によって画素電位が異なる

(5)

7

という事態を防ぎ、フリッカの発生を抑制するようにしたものである。

【0008】また、本願第2の発明は、本願第1の発明を実現するために、基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置を駆動する駆動装置であって、映像信号を1ライン分記憶することのできる記憶手段（以後、ラインメモリと呼ぶ）を2ライン分有するという構成にしたものである。

【0009】また、本願第3の発明は、本願第1の発明を実現するために、基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置を駆動する駆動装置であって、書き込み動作と読み出し動作が、それぞれ独立した任意のタイミングで行うことが可能なラインメモリを、1ライン分有するという構成にしたものである。

【0010】また、本願第4の発明は、本願第1の発明を実現するために、基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置を駆動する駆動装置であって、1画面分の映像信号を記憶できる記憶手段（以後、フレームメモリと呼ぶ）を有する構成にしたものである。

【0011】また、本願第5の発明は、本願第1の発明を実現するために、基板上に、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のソース線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のソース線との各交差点に対応して、ゲート線及びソース線に接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース線に接続された画素電極とが設けられた液晶表示装置の前記ソース線を駆動する駆動装置の出力極性を任意のタイミングで変更可能な機能を有するようにしたものである。

【0012】また、本願第6の発明は、本願第1の発明を実施する上で個々の液晶パネルに応じて最適なフリッカ調整を実現するために、液晶パネルの輝度を測定する輝度測定手段と、前記輝度測定手段により測定した輝度

8

情報を解析する輝度解析手段と、前記解析手段により解析された情報に基づいて水平走査期間を調整するよう指示する液晶駆動装置制御手段と、前記液晶駆動装置制御手段により送信されてきた制御信号に基づいて水平走査期間を変化することのできる機能を有する液晶駆動装置と、を備え、画面の任意の位置においてフリッカーが最小となるように自動的に水平走査期間の長さを調整し、調整した際の1水平走査期間の情報とそのときの画面位置を記録するための記憶手段と、を備えたるようにしたものである。

【0013】また、本願第7の発明は、本願第6の発明により測定したフリッカーが最小となるような水平走査期間の長さの情報に基づいて液晶表示装置を駆動するために、走査信号を伝達する複数のゲート線と、画像信号を伝達する複数のデータ線とがそれぞれ直交するように設けられ、かつ、前記複数のゲート線と複数のデータ線との各交差点に対応して、ゲート線及びデータ線に接続されたスイッチング素子と、前記スイッチング素子を介して前記データ線に接続された画素電極とが設けられた液晶表示装置を駆動する駆動装置であって、記憶手段を有し、前記記憶手段に記憶されている情報を読み出す手段を有し、前記読み出した情報に基づいて1ライン毎に画素充電時間を変化させる機能を備えるようにしたものである。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について、図1から図15を用いて説明する。

【0015】（本願第1の発明の実施形態）図1は本願第1の発明を実施するのに好適なソース線及びゲート線駆動波形と画素電位のタイミングを示した図である。

【0016】図1において、 $V_d$ は画素電位、 $V_s$ はソース線電位、 $V_{com}$ は対向電極電位を表している。図1では、液晶に印加する電位が $V_{com}$ より高い場合が+極性、低い場合が一極性となる。今後、+極性とは、画素に充電する信号の電位が前フレームよりも高い場合を指し、一極性とは画素に充電する信号の電位が前フレームよりも低い場合を指すものとする。

【0017】TFTが流し得る電流量は、ゲート電位とソース電位との電位差 $V_{gs}$ に比例する。そのため、+極性で充電する場合は、時間経過と共に $V_{gs}$ が小さくなり、TFTが流せる電流量も時間と共に減少する。一方、一極性で充電する場合は、時間経過と共に $V_{gs}$ が大きくなり、TFTが流せる電流量も時間と共に増大する。よって、充電極性が一極性の時は $V_d$ が $V_s$ に近づくほど、TFTは多くの電流を流す事ができ、そのため充電時間は短くて済む。しかし、充電極性が+極性の時は $V_d$ が $V_s$ に近づくほど、TFTが流せる電流量が減少していくため、そのため充電時間は一極性の場合よりも多くなる。そして、もしTFTのゲートがOFFする際に $V_d$ と $V_s$ に電位差があると、その画素は充電不

(6)

9

足状態となる。よって、充電不足のない良好な画質を得るためには、TFTのゲートがOFFする時点で、 $V_d = V_s$ となっている必要がある。しかし、1水平走査期間の時間が短い場合は、充電時間が足りずに充電不足が起きるという問題がある。 $V_d = V_s$ となるまでの時間は前述のとおり、+極性で充電する場合と-極性で充電する場合とで異なっており、+極性での充電時間が多く必要であるが、-極性では充電時間に余裕がある。そこで本発明では、-極性での充電時間を短くし、余った時間を+極側の充電に割り当てる様にした。そのためには、1水平走査期間の時間を極性によって変化させる必要がある。以下にT1~T3を用いて、極性によって充電時間を変化させる方法について説明する。なお、今後はフリッカーが最小となる+極性と-極性の充電時間の割合を、「最適割合」と呼ぶことにする。最適割合の検出の際は、 $T_2 = T_3$ の状態から開始して、徐々にT2を短くし、T3を長くしていけば良い。

【0018】T1は、外部より入力される映像信号のタイミングによって決定される1水平走査期間である。通常の液晶駆動法では1水平走査期間間はいずれの極性においてもT1である。そして、T2、T3はT1とは長さが異なる1水平走査期間である。T2は+極性を書きこむ場合の1水平走査期間であり、T1よりも長い。またT3は-極性を書きこむ場合の1水平走査期間でありT1よりも短い。T1、T2、T3の関係はそれぞれ次式(1)及び、次式(2)で表される。

【0019】

$$T_1 < T_2 \quad (1)$$

$$T_1 > T_3 \quad (2)$$

充電時間を決定するのはゲートのON時間である。図1において、 $V_{g1} \sim V_{g5}$ はそれぞれ1~5ラインを駆動する走査線駆動波形(以後ゲート駆動波形と呼ぶ)である。 $V_{g1}$ 、 $V_{g3}$ 、 $V_{g5}$ がONするタイミングでは画素は-極性に充電されており、よって $V_{g1}$ 、 $V_{g3}$ 、 $V_{g5}$ のON期間はT3である。また、 $V_{g2}$ 、 $V_{g4}$ がONするタイミングでは画素は+極性に充電されており、よって $V_{g2}$ 、 $V_{g4}$ のON期間はT2である。このように、+極性を充電するときは1水平走査期間を長く、-極性を書きこむときは1水平走査期間を短くし、2水平走査期間( $2 \times T_1$ )内で+極性と-極性の充電時間の割合をかえて、-極性での充電に必要な時間以外の余った時間を+極性の充電に割り当てることで、いずれの極性でも充電不足を起こすことなくフリッカーフリーの良好な画質が得られる。また、1水平走査期間が短く、+極性、-極性のいずれの極性においても充電不足が起ってしまう場合でも、+極性の充電時間と-極性の充電時間の割合を調整することで、フリッカーを抑制することができる。

【0020】さて、図2は例として、1ラインおきに画素極性が反転するような画素の極性配置を示したもので

10

ある。これを本願第1の発明を用いて駆動した場合の走査線駆動波形が図3である。なお、21は画素を示している。前述のとおり、-極性のラインの走査時間は短く、+極性のラインの走査時間は長くし、またT1、T2、T3の長さの関係は、次式(3)に示すようにする。

$$【0021】 T_2 + T_3 = 2 \times T_1 \quad (3)$$

そうすれば、+極性、-極性のいずれの極性においても充電不足となることはなく、フリッカーの発生を押さえられる。なお画素極性配置によらずT2とT3の割合を決定する際は、液晶表示装置に横1ラインおきに白、黒、白、黒と繰り返すようなパターンを表示して、フリッカーが最小となるように調整すればよい。

【0022】また図4は別の例として、上下左右に1画素毎に極性が反転する、いわゆるドット反転駆動の極性配置を変形した画素極性配置を示したものである。図2では横1列同一極性であったが、この配置は画素極性が横方向にも+、-と変化するラインが存在するので、さらにフリッカーの低減効果が高まる。図4においてAは横一列同一極性のライン、Bは「+、-、+、-」と横1ドット毎に極性が反転するライン、CはAの極性を反転したライン、DはBの極性を反転したラインである。このA~Dの4ラインを1ブロックとして以後繰り返している。このような極性配置にすると、1フレーム内で横方向にも縦方向にも極性が反転するラインが存在するため、いわゆるドット反転に近い極性配置となり、図2に示した極性配置よりもさらにフリッカーが減少する。また、フレーム毎にグループの位置をずらせば、さらにフリッカーは減少する。

【0023】図5は図4の画素配置を駆動する際の走査線駆動波形を示したものである。図5において、T1~T5は、それぞれのラインの走査線選択期間を表している。T1~T3の長さはすでに前述したとおりである。T4は前記Aのラインを選択する場合の走査線選択期間である。T4の長さは次式(4)に示す範囲内で、任意に設定すれば良い。

$$【0024】 2 \times T_1 \geq T_4 \geq T_1 \quad (4)$$

またT4期間に相当するラインのゲートをONするタイミングは、前ラインDがONしている期間に重なるようにし、OFFするタイミングは前ラインがOFFしてからT1経過後とすればよい。要するに、前ラインのデータでプリチャージをすればよい。なお、重なる期間は任意に決定すればよい。

【0025】T5はBのラインを走査する場合の駆動波形である。このラインを駆動する際は、本来のタイミングよりもT1だけ早くゲートをONし、前のラインのデータでプリチャージする。これにより $2 \times T_1$ 分ゲートが連続してONするので、このラインは十分に充電することが出来る。

【0026】ラインCは横一列全て-極性であるので、



(7)

11

ゲートON時間はT3とする。

【0027】そしてラインDは上段のラインの走査線選択期間がT3であるので、余った時間を利用することができるため、走査線選択期間はT2とする。以上のようにすれば、フリッカーのない良好な画質が得られる。

【0028】さて、TFT特性のばらつきやソースドライバ、ゲートドライバからの距離の違いなどにより、画面内の位置によって、T2とT3の割合の最適割合は変化する。画面位置に応じてT2とT3の割合を連続的に変化させれば、面内で均一にフリッカーを削減することができる。この方法によれば、TFT特性のばらつきやソースドライバおよびゲートドライバのばらつきなどに依存せず、画面のどの位置においてもフリッカーが最小となるような最適調整を行うことができるため、画面全体を一括してフリッカー調整する方法よりも、フリッカーの抑制効果が高い。

【0029】なお、本願に記載されている全ての駆動法において、ソースドライバからソース線へ出力するタイ \*

$$\text{充電割合} = (\text{一極性での充電時間}) / (\text{+極性での充電時間}) \quad ($$

5)

いま、ある画面位置で充電割合を測定し、前記充電割合が大きい場合は+極性での充電時間と一極性での充電時間との差が小さく、充電時間に余裕があると言っている。言いかえると、その位置ではTFTの充電能力に余裕があるということになる。一方、充電割合が小さい場合は、+極性での充電時間と一極性での充電時間との差が大きく、+極性での充電時間が不足していることがわかる。そのため、その位置ではTFTの電流能力を大きくする必要があるということが分かる。

【0034】また、画素電極と共通電極との間に配置されている蓄積容量Cstの容量値を、画面位置に応じて変化させる場合の設計指針にも利用可能である。この場合も画面位置と充電割合との関係を測定し、充電割合が大きい位置ではTFTに対する負荷を軽減させるために、Cstの容量を小さくすると良い。

【0035】(本願第2から本願第4の実施形態) 図6は本願第2の発明を実施するのに好適な液晶駆動装置の構成図である。本願第1の発明を実施するには、ソースドライバから液晶パネルへ映像データを出力するタイミングを変化させる必要があるため、外部より入力された映像信号を一旦蓄積し、任意のタイミングで読み出すという動作が必要である。よって、駆動装置内部に映像信号を蓄積する記憶手段を持つ必要がある。本願第2の発明は、液晶駆動装置における記憶手段の構成及びその駆動方法に関するものである。

【0036】図6において、61は記憶手段やソースドライバ、ゲートドライバを制御するコンとローラ、62は1つの入力信号を複数の出力先の中から1つを選択して出力するセクタ、63は複数の入力信号の中から1つを選択して出力するセクタ、64、65はそれぞれ

12

\*ミングは、ゲートONに同期するものとする。あるいは完全に同期させずに、ゲート線の負荷容量によるゲート波形のなまりを考慮して、ソース線への出力タイミングを若干ずらしても良い。

【0030】なお、本発明は特に大型の液晶表示装置において有効であり、液晶モードはIPSモード、TNモード、OCBモード、MVAモードにおいて有効である。

【0031】また、画面内の位置による最適割合の変化を、TFTの設計時の指針としても利用できる。ここで、+極性での充電時間と一極性での充電時間との比を次式(5)のように定義しこれを「充電割合」と呼ぶことにする。

【0032】なお、最適割合の検出の際は、T2=T3の状態から徐々に、T2を短く、T3を長くしていけば良い。

【0033】

1ライン分の映像信号を記憶することのできる記憶手段、66はソースドライバ、67はゲートドライバ、68は液晶表示装置、69は映像信号入力端子、610はソースドライバに対するタイミング制御信号である。本願第2の発明は、前述のように内部に2ライン分のラインメモリを有することで、任意のタイミングでソースドライバから液晶パネルへ映像データを出力することを可能としている。

【0037】以降に、本構成による液晶駆動装置の動作について、図6及び図7を用いて説明する。図7はラインメモリへの書きこみ及び読み出し動作のタイミング関係を示したものである。

【0038】図7において、DEは映像信号の有効期間を示すデータイネーブル信号であり、DEがHレベル(以後Hと表現する)の期間が映像信号が有効な期間、Lレベル(以後Lと表現する)のときが無効期間すなわちブランク期間である。

【0039】WRITE1及びWRITE2信号はそれぞれ、ラインメモリ64とラインメモリ65に対する書きこみ制御信号である。いずれのラインメモリも、それぞれ対応するWRITE信号がHの時に書きこみ動作を行う。

【0040】外部より映像信号が入力されDE信号がHに切り替わると、まず最初にWRITE1がHに切り替わり、ラインメモリ64が前記DEに同期して書きこみ動作を開始する。このとき、セクタ62は接続先をラインメモリ64に切り替えている。そして1ライン分の映像信号が終了すると前記DE信号はLに切り替わって水平帰線期間に入り、WRITE1もLに切り替わりラインメモリ64の書きこみ動作が終了する。

50

(8)

13

【0041】次に2ライン目の映像信号が入力され再びDE信号がHに切り替わると、今度はWRITE 2がHに切り替わり、ラインメモリ65が書きこみ動作を開始する。このとき、セクタ62も接続先をラインメモリ65に切り替えている。そして1ライン分の映像信号が終了すると、1ライン目と同様に前記DE信号はLに切り替わって水平帰線期間に入り、WRITE 2もLに切り替わりラインメモリ65の書きこみ動作も終了する。

【0042】前記の動作を繰り返すことにより、1ライン毎に交互にラインメモリ64とラインメモリ65に映像信号が書きこまれる。

【0043】次に読み出し動作について説明する。READ 1及びREAD 2はそれぞれ、ラインメモリ64とラインメモリ65に対する読み出し制御信号である。READ 1及びREAD 2がHレベルのときに、それぞれ対応したラインメモリが読み出し動作を行う。読み出し動作は、書きこみ動作が行われているラインメモリとは反対側のラインメモリで行う。

【0044】いま1ライン目を+極性にて充電し、2ライン目を-極性で充電するとすると、ラインメモリ64の書きこみ動作終了後（すなわちWRITE 1の立下り後）、RDT 1の時間だけ後に、READ 1信号が立ちあがりラインメモリ64が読み出し動作を開始する。RDT 1の長さは、WRITE 2の立下りタイミングがREAD 1の立ちあがりタイミングよりも前になるような範囲であれば、任意に決めることができる。ラインメモリ64の読み出し動作が終わったら、今度はラインメモリ65が読み出し動作を開始する。読み出し開始のタイミングは、WRITE 2の立下り後、RDT 2の時間が経過した時点とする。RDT 1 < RDT 2とすれば、+極性と-極性とで、-極性での充電時間を長くできる。

【0045】ラインメモリより読み出されたデータは、都度ソースドライバに転送される。そして1ライン分の映像信号全てが転送完了した後、ソースドライバに対してデジタル/アナログ変換（以後、D/A変換と呼ぶ）を指示するLP信号を数クロック間Hに切りかえると、前記映像信号がソースドライバ内でD/A変換されると、前記LPの立ち下がりに同期して、ソースドライバから液晶パネルに対して前記D/A変換後された映像信号が出力される。LP信号の出力タイミングを図7に示すようにREAD 1及びREAD 2信号の立下りに同期して出力するようにすれば、前記READ 1及びREAD 2信号のタイミングを変えるだけで、画素を充電する極性に応じて1水平走査期間の長さを変化することができる。

【0046】またPOLは、ソースドライバが液晶パネルへ出力する信号の極性を表したもので、ここではHレベルが+極性、Lレベルが-極性を示している。

【0047】また、RDclk（読み出し用クロック）に、外部入力クロックとは異なる周波数のクロック（非

14

同期クロック）を用いても良い。RDclkのクロック生成手段としては、例えば水晶振動子を用いたものやセラミック振動子を用いたものが挙げられるが、特にこれに限らない。またRDclkの周波数は、1ライン分の映像信号の書きこみ終了タイミングすなわちDEの立下りタイミングよりも後にそのラインの読み出し動作が終了するようにすれば、任意に設定してよい。このようにRDclkのクロック周波数を入力クロックよりも高速なものを用いれば、外部入力クロックと同一クロックを用いて読み出し動作を行った場合よりもラインメモリからの読み出し時間を短縮することができ、+極性の充電時間と-極性の充電時間の割合の変化範囲を広くすることが出来る。周波数の異なる複数のRDclkのクロック生成手段を備えておけば、入力映像信号のクロック周波数が広範囲に変化する場合にも対応できる。

【0048】なお、読み出しクロックの生成にPLL（Phase Locked Loop）を用いても良い。この場合、メモリへの書きこみクロック、すなわち映像信号の同期クロックの周波数と読み出しクロックの周波数の比が一定であるので、映像信号のクロック周波数が変化しても読み出し動作が書きこみ動作を追い越すことがない。PLLを用いる場合も読み出しクロックの周波数は、1ライン分の映像信号の書きこみ終了タイミング、すなわちDEの立下りタイミングよりも後にそのラインの読み出し動作が終了するようにすれば、任意に設定してよい。

【0049】以上のようにラインメモリを2ライン分内部に有することで、外部より入力された映像データの蓄積と読み出しを任意のタイミングで行う事が可能となる。これにより本願第1の発明に記載したように、1水平走査期間をT2やT3に変化させることが可能となる。以上、書きこみ動作と読み出し動作を同時に行うことの出来ないメモリを用いた構成について述べたが、前記書きこみ動作と読み出し動作を同時に行うことの出来ないメモリは汎用メモリとして安価に入手可能であり、これを使用した構成は、システムのコストダウンに有効である。

【0050】なお、本願第3の発明に記載したように、記憶手段として、書きこみ動作と読み出し動作がそれぞれ独立した任意のタイミングで行うことが可能で、映像信号の入力端子と出力端子がそれぞれ独立して備わっている記憶手段（以後、FIFOメモリと呼ぶ）を用いてもよい。図10はFIFOメモリを用いた場合についての、本願第3の発明を実施するのに好適な液晶駆動装置の構成図を示している。図10において、101は外部より映像信号を入力する入力端子、102はFIFOメモリ、103はソースドライバ、104はコントローラ、105はゲートドライバ、68は液晶パネルを示している。FIFOメモリを用いることでも、1水平走査期間をT2やT3に変化させることが可能となる。

(9)

15

【0051】またFIFOメモリを用いることで、メモリへの書き込み動作と読み出し動作を同時に行うことが可能となり、映像信号の接続先を切りかえるセクタが不要となり、またメモリに対する制御回路も単純化することが出来る。さらに、メモリの制御回路が簡素化できることによってLSIのゲート規模を縮小することが可能となり、コントローラの開発期間の短縮及びコストダウンが可能となる。FIFOメモリを用いた場合でも、ラインメモリを2ライン分使用する構成と同様の効果が得られる。また、FIFOメモリを用いることで、メモリ容量が1ライン分で済み、メモリ容量を削減できるという効果がある。

【0052】なお、本願第4の発明に記載したように、記憶手段として、フレームメモリを用いてもよい。フレームメモリを用いる事によっても、1水平走査期間をT2やT3に変化させることが可能となる。また、フレームメモリを用いる事で、垂直帰線期間を画素の充電時間に割り当てる事が可能となる。これは、T2+T3を、2×T1よりも長くすれば実現できる。具体的には、メモリからの読み出しクロックの周波数を、書き込みクロックの周波数よりも遅くすれば良い。フレームメモリを用いた場合の構成は、図10に示した構成とほぼ同様である。図10において、102はFIFOメモリであるが、これをフレームメモリに置き換える事で、本願第4の発明に記載の液晶駆動装置を実現できる。

【0053】(本願第5の発明の実施形態) 本願第5の発明は、本願第1の発明を実施するのに好適なソースドライバの構成を示したものである。本発明はソースドライバの出力極性を、出力端子毎に任意のタイミングで制御することを可能とするものである。以後、図11を用いて説明する。

【0054】図11において、111は外部より映像信号を入力するための入力端子。112と113は1ライン分の映像信号を記憶出来るラインメモリ、114はPOL信号に応じて出力信号を切り替えるセクタ、115と116はD/Aコンバータ、117と118はセクタに対して出力極性を指定するPOL信号の入力端子である。例えば、POL信号がHであれば+極性、Lであれば-極性を出力するとようにすれば良い。以後、117から入力される信号をPOL1、118から入力される信号をPOL2と呼ぶことにする。POL1及びPOL2はそれぞれ一つおきにソースドライバの出力段に配置されているセクタに接続されており、ソースドライバからの出力極性を、出力端子1つおきに選択できる。また119、1110、1111、1112は液晶表示装置にアナログ信号を出力するための出力端子である。また、1113はラインメモリ112からラインメモリ113に映像信号を受け渡すよう指示するLP信号の入力端子である。LPがHに切り替わったときに、ラインメモリ112から113に映像信号を受け渡すと

16

時にセクタ114は出力をハイインピーダンス状態にし、前記LPがHからLに切り替わった時点で、前記セクタ114は映像信号の出力を再開する。

【0055】映像信号が入力されてから、液晶表示装置に出力されるまでの動作は次の通りである。まず、入力端子111から入力された映像信号は、ラインメモリ112に蓄積される。そしてLP信号がHに切り替わると、ラインメモリ112は蓄積した前記映像信号をラインメモリ113に受け渡す。ラインメモリ113に受け渡された前記映像信号は、D/Aコンバータ115及び116によりアナログ信号に変換される。ここで、D/Aコンバータ115は+極性に、D/Aコンバータ116は-極性にそれぞれ変換する。そしてセクタ114がPOL1及びPOL2に応じて出力極性を切り替え、出力端子119～1112より映像信号を出力する。POL1とPOL2に同一の信号を入力すれば、出力は横一列全て同一の極性となる。またPOL1とPOL2に入力する信号をそれぞれ反転させれば、出力1ch毎に極性を変えることが出来る。例えばPOL1にHを、POL2にLを入力すれば、出力端子1112、1110には+極性が出力され、出力端子1111、1119には-極性が出力される。

【0056】以上のような構成にすることで、ソースドライバの出力極性を、1つおきに任意に指定することができ、図2及び図4に示した画素極性配置を実現できる。

【0057】また、D/Aコンバータの出力先にセクタを配置することにより、POL信号を切りかえるだけで任意のタイミングで出力極性を変更することができ、+極性に充電する場合の1水平走査期間であるT2と-極性に充電する場合の1水平走査期間であるT3の割合を任意に設定することができる。

【0058】(本願第6の発明及び本願第7の発明の実施形態) 本願第6の発明は、液晶表示装置の特性に合わせて、+極性に充電する時間と-極性に充電する時間の割合を個々の前記液晶表示装置に最適化するための、液晶表示装置に関するものである。製造プロセスのバラツキなどにより、同一条件で製造された液晶表示装置であっても、+極性と-極性の充電時間の最適割合が異なる場合がある。そこで前記最適割合を自動測定し、その情報を記憶手段に記録して、前記記憶手段に記録した情報に基づいて前記液晶表示装置を駆動すれば、個々の液晶表示装置に最適な駆動が実現できる。以下に図12を用いて説明する。

【0059】図12において、121は液晶表示装置であり、122は輝度測定手段である。輝度測定手段122により液晶表示装置121の輝度を測定し、制御装置124に前記輝度測定手段122により測定した輝度情報127を出力する。制御装置124には前記輝度測定手段122からの輝度情報と、コントローラ126から

(40)

17

の極性情報 125 が入力される。また、液晶駆動手段 126 は、現在の極性情報 125 を前記制御手段 124 に、極性情報 125 を出力する。また制御装置 124 は記憶手段を有しており、受け取った前記輝度情報 127 と共にそのときの前記極性情報 125 を記憶しておくことが可能となっている。これにより + 極性にて充電した場合の輝度と、- 極性にて充電した場合の輝度の差を検出することが出来る。制御装置 124 は、輝度差情報が最小となるように、コントローラ 126 に対して + 極性での充電時間と - 極性での充電時間との割合を変化させるよう充電時間指示情報 128 をフィードバックする。輝度を測定する位置を任意に変化させて、画面内の場所に応じた最適割合をそれぞれ検出しても良い。そして、コントローラ 126 は制御装置 124 よりフィードバックされた情報に応じて充電割合を変化させ、前記液晶表示装置 121 を駆動する。こうすることで、画面内で均一にフリッカーが最小となる最適割合を自動的に検出することができる。

【0060】また、前記測定した最適割合情報を記憶手段 123 に記憶させておき、前記記憶させた情報を読み出す機能を前記コントローラ 126 に持たせておいて、前記記憶手段 123 より読み出した前記最適割合に応じて画素充電時間を変化するようにすれば、個々の液晶表示に最適化された駆動を行うことができ、フリッカーを最大限抑制できる。記憶手段としては、半導体を用いたものでもよい。例えば EPROM、EEPROM、フラッシュメモリ、SRAM などがある。また、磁気を用いたものでもよい。例えば、磁気テープ、磁気ディスク、磁気フィルムなどがある。あるいは光を用いたものでもよい。例えば、光ディスク、光テープ、光フィルムなどがある。

【0061】また、測定した最適割合情報と位置情報から、TFT の電流-電圧特性 (I-V 特性) の画面内でのバラツキも把握することができ、製造プロセスの条件出しのためのパラメータとしてフィードバックすることで、最適な TFT の製造条件を見出せるという効果もある。

【0062】また、測定した最適割合情報と位置情報から、蓄積容量  $C_{st}$  を画面内でどのように分布させれば良いかという条件を見出すことが出来るという効果もある。

【0063】また、本願第 7 の発明に記載したように、液晶駆動装置に、記憶手段に記憶されている情報を読み出す手段を備え、記憶手段に記録された情報を読み出して、その情報に応じてライン毎に充電割合を変化させれば、個々の液晶表示装置に最適化された駆動を行うことが出来、製品のバラツキによらずフリッカーを最大限削減できる。記憶手段としては前記本願第 6 の発明の実施形態の部分に記載した通り、半導体を用いたものや、磁気を用いたものや、光を用いたものなど何でもよい。前

18

記記憶手段は不揮発性で有ることが望ましい。また、記憶する情報の形式としては、ライン位置と最適割合との関係がわかる形式であれば何でもよい。例えば、縦 2 列に情報を並べる形式にし、1 列はライン位置、もう 1 列はそのライン位置での最適割合という具合にすれば良い。そして、液晶表示装置を駆動する際に、記憶手段から読み出した位置情報と最適割合情報に応じて T2 と T3 の時間を変化させれば、その液晶表示装置に最適な充電割合にて駆動する事ができ、フリッカーを削減する事ができる。

【0064】

【発明の効果】以上述べたように、本願第一の発明によれば + 極性と - 極性によって 1 水平走査期間を変化させることにより、+ 極性でも - 極性でも充電不足を抑制することができ、極性間の充電誤差がなくなりフリッカーのない良好な画質が得られる。

【0065】また、本願第二の発明によれば、+ 極性にて充電する場合と - 極性にて充電する場合とで、1 水平走査期間を T2 や T3 に変化させることが可能となり、書きこみ動作と読み出し動作を同時に行うことの出来ないメモリを用いる構成にすることにより汎用メモリを利用でき、前記汎用メモリは安価に入手可能であるため、システムのコストダウンに有効である。

【0066】また、本願第三の発明によれば、+ 極性にて充電する場合と - 極性にて充電する場合とで、1 水平走査期間を T2 や T3 に変化させることが可能となり、またメモリへの書き込み動作と読み出し動作を同時に行うことが可能となり、映像信号の接続先を切りかえるセレクタが不要となり、またメモリに対する制御回路も単純化することができる。さらに、メモリの制御回路が簡素化することによって LSI のゲート規模を縮小することが可能となり、コントローラの開発期間の短縮及びコストダウンができるという効果がある。

【0067】また、本願第四の発明によれば、+ 極性にて充電する場合と - 極性にて充電する場合とで、1 水平走査期間を T2 や T3 に変化させることが可能となる。また垂直帰線期間も充電時間に利用する事ができ、充電期間をより多く確保できるという効果がある。

【0068】また、本願第二あるいは第三の発明あるいは第四の発明のいずれかと、本願第五の発明とを組み合わせることで、+ 極性での充電時間と - 極性での充電時間との割合を任意に変える事が可能となり、+ 極性と - 極性によって 1 水平走査期間を変化させることが可能となる、+ 極性でも - 極性でも充電不足を抑制することができ、極性間の充電誤差がなくなりフリッカーのない良好な画質が得られる。

【0069】また本願第六の発明によれば、液晶表示装置に最適な充電割合、すなわち最適割合を検出する事ができ、またその情報を記憶する事ができるという効果がある。また、検出した充電割合と位置との関係から、

(11)

19

液晶表示装置を設計、製造する上での指針とすることができ、設計段階からフリッカを削減することができるという効果がある。

【0070】また本願第七の発明によれば、本願第6の発明によって検出、記録された液晶表示装置に最適な充電割合、すなわち最適割合を読み出し、前記読み出した最適割合にて液晶表示装置を駆動する事ができ、その液晶表示装置に最適な充電割合にて駆動する事ができ、フリッカーを削減する事ができるという効果がある。

【図面の簡単な説明】

【図1】本発明第1による液晶駆動波形と、画素の充電時間の様子を示した図

【図2】本発明第1を用いて駆動する場合に適した画素極性の配置例を示した図

【図3】図2に示した画素極性配置を駆動した場合のゲート線駆動波形を示した図

【図4】本発明第1を用いて駆動する場合に適した画素極性の配置例を示した図

【図5】図4に示した画素極性配置を駆動した場合のゲート線駆動波形を示した図

【図6】本発明第2による液晶駆動装置の構成を示した図

【図7】本発明第2による液晶駆動装置の動作を示した図

【図8】縦1列同一極性である画素極性配置の例を示した図

【図9】図8に示した極性配置をプリチャージする場合の駆動波形を示した図

【図10】本発明第2による液晶駆動装置の構成を示した図

【図11】本発明第2による液晶駆動装置の動作を示した図

【図12】本発明第7による液晶表示装置のブロック図

【図13】従来の駆動方法で駆動した場合に、充電不足が起こった様子を示した図

【図14】同一極性の画素が1ラインおきになっている画素極性配置を示した図

【図15】図8に示した画素極性配置をプリチャージする場合の駆動波形を示した図

【符号の説明】

Vg1 ゲート駆動波形

Vg2 ゲート駆動波形

Vg3 ゲート駆動波形

Vg4 ゲート駆動波形

Vg5 ゲート駆動波形

T1 従来の駆動法による1水平走査期間

T2 本願第1の発明による、+極性を充電する場合の1水平走査期間

T3 本願第1の発明による、-極性を充電する場合の1水平走査期間

20

T4 図4における、Cのラインを駆動する場合の1水平走査期間

T5 図4における、Dのラインを駆動する場合の1水平走査期間

Vcom 対向電極電位

Vs ソース線電位

Vd1 画素電極電位

Vd2 画素電極電位

21 画素

41 画素

A Aは横一列同一極性のライン

B +、-、+、-と横1ドット毎に極性が反転するライン

C Aの極性を反転したライン

D Bの極性を反転したライン

61 コントローラ

62 セレクタ

63 セレクタ

64 ラインメモリ

65 ラインメモリ

66 ソースドライバ

67 ゲートドライバ

68 液晶表示装置

69 映像信号入力端子

610 タイミング制御信号

WRclk 書きこみクロック

DE 映像信号の有効期間を示す信号

WRITE1 メモリへの書きこみ制御信号

WRITE2 メモリへの書きこみ制御信号

30 READ1 メモリへの読み出し制御信号

READ2 メモリへの読み出し制御信号

RDclk 読み出しクロック

LP ソースドライバに対して、アナログ信号を出力させる制御信号

POL 現在充電している極性を示す信号

Fg ゲートドライのシフトクロック

101 映像信号入力端子

102 FIFOメモリ

103 ソースドライバ

40 104 コントローラ

105 ゲートドライバ

111 映像信号入力端子

112 ラインメモリ

113 ラインメモリ

114 セレクタ

115 D/Aコンバータ

116 D/Aコンバータ

117 POL信号入力端子1

118 POL信号入力端子2

50 119 アナログ信号出力端子

(12)

- 21
- 1 1 1 0

アナログ信号出力端子
- 1 1 1 1

アナログ信号出力端子
- 1 1 1 2

アナログ信号出力端子
- 1 1 1 3

LP信号入力端子
- 1 2 1

液晶表示装置
- 1 2 2

輝度測定手段
- 1 2 3

記憶手段
- 1 2 4

制御手段
- 1 2 5

極性情報

- 22
- 1 2 6

液晶駆動手段
- 1 2 7

輝度情報
- 1 2 8

充電時間指示情報
- $\Delta V$

$V_s$ と $V_{d1}$ との電位差
- 1 4 1

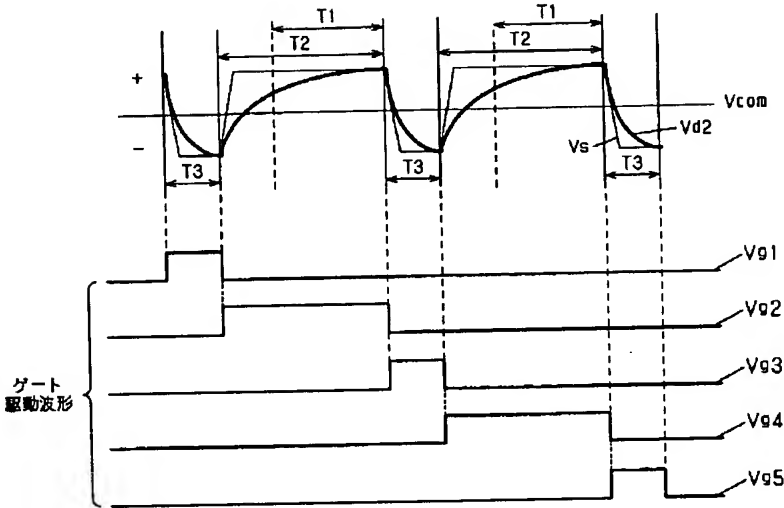
画素
- 1 4 2

画素
- 1 5 1

ゲートドライのシフトクロック
- 1 5 2

ゲート駆動波形

【図1】



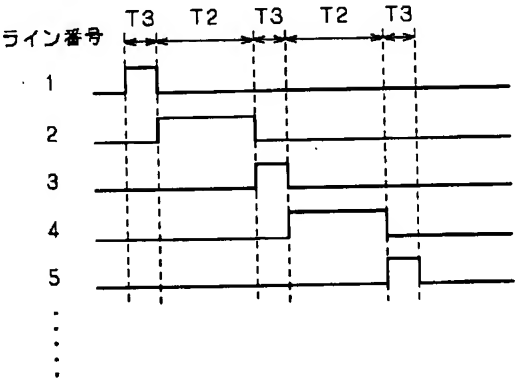
【図2】

ライン番号

1	-	-	-	-	-	-	-
2	+	+	+	+	+	+	+
3	-	-	-	-	-	-	-
4	+	+	+	+	+	+	+
5	-	-	-	-	-	-	-
6	+	+	+	+	+	+	+
7	-	-	-	-	-	-	-
8	+	+	+	+	+	+	+
9	-	-	-	-	-	-	-
10	+	+	+	+	+	+	+
11	-	-	-	-	-	-	-
12	+	+	+	+	+	+	+
13	-	-	-	-	-	-	-
14	+	+	+	+	+	+	+
15	-	-	-	-	-	-	-
16	+	+	+	+	+	+	+

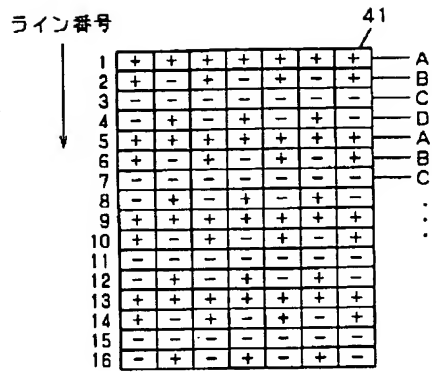
21

【図3】

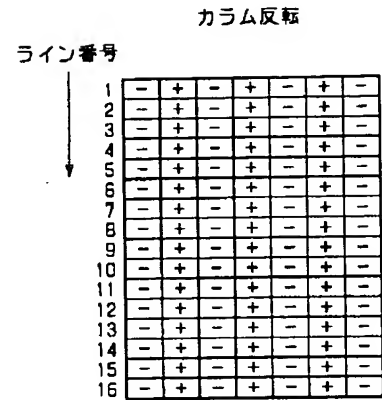


(13)

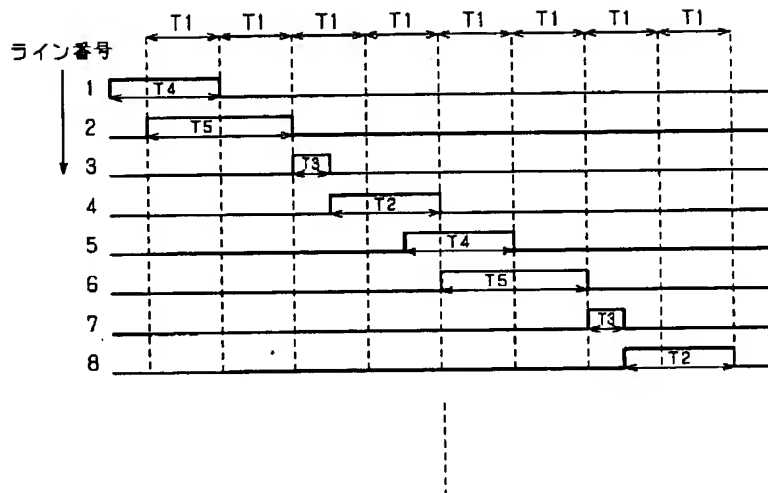
【図 4】



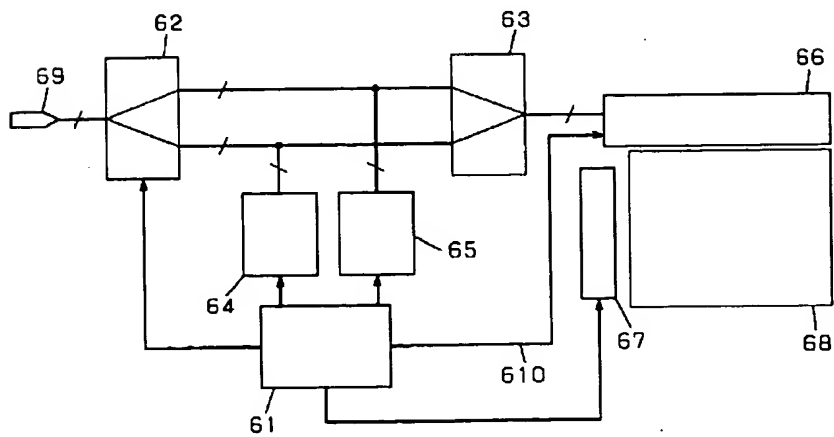
【圖 8】



【図5】

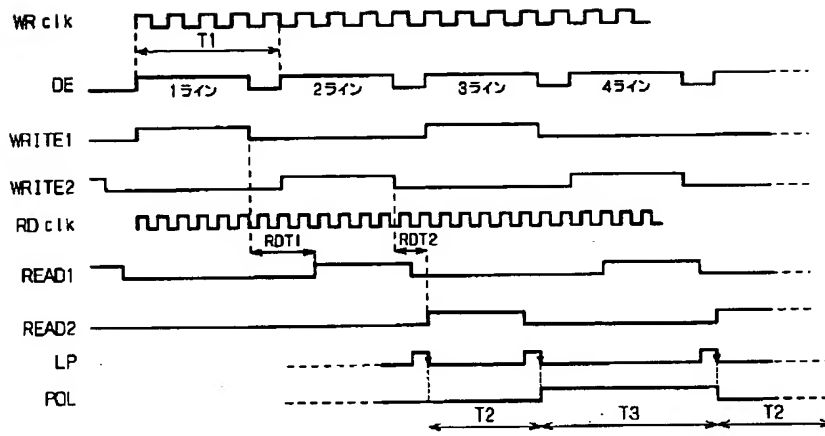


【図 6】

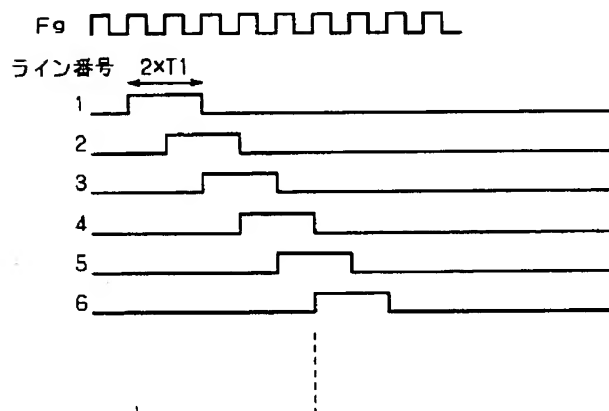


(14)

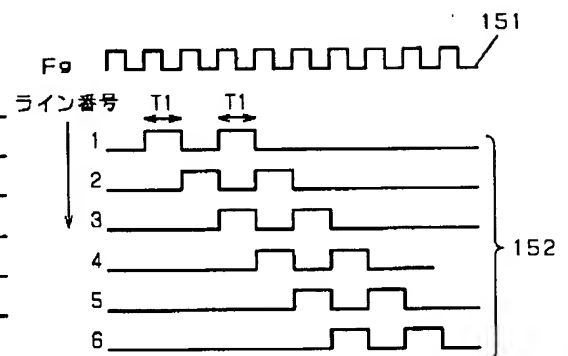
【図7】



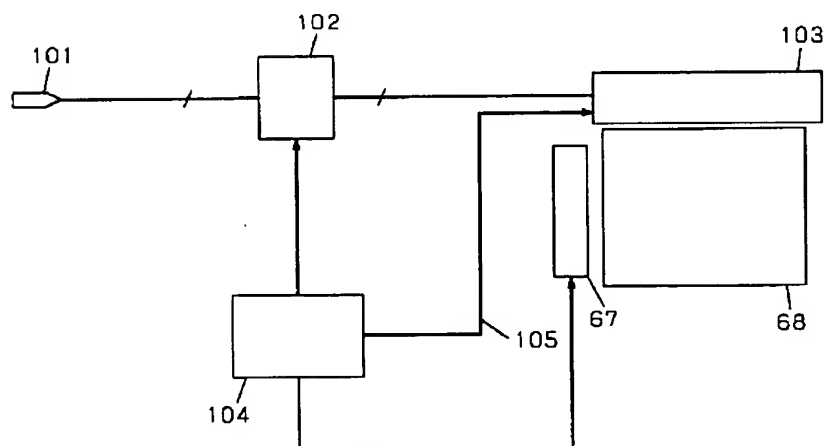
【図9】



【図15】



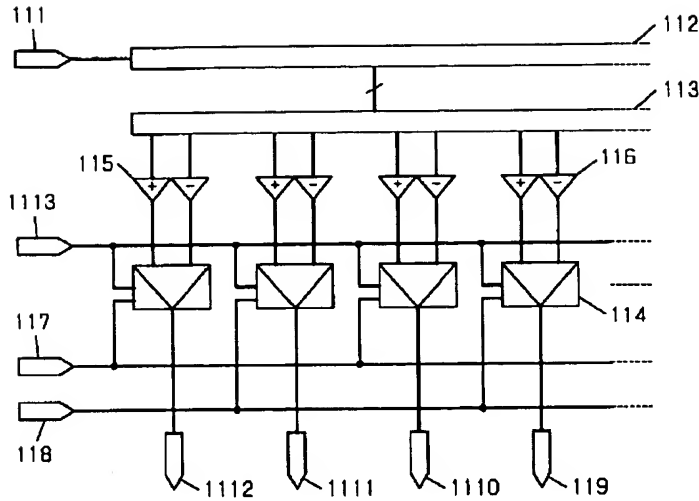
【図10】





(15)

【図11】



【図14】

(a) ドット反転

ライン番号 ↓

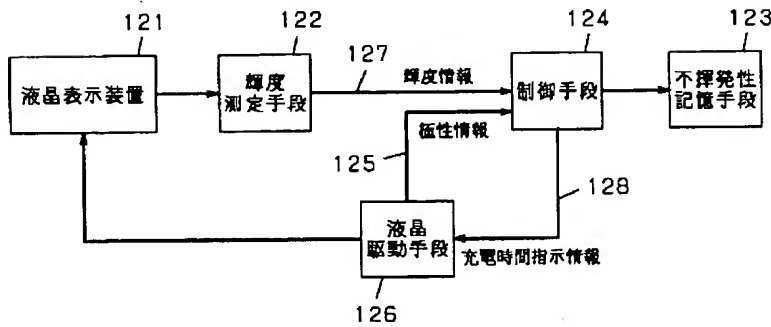
1	-	+	-	+	-	+	-
2	+	-	+	-	+	-	+
3	-	+	-	+	-	+	-
4	+	-	+	-	+	-	+
5	-	+	-	+	-	+	-
6	+	-	+	-	+	-	+
7	-	+	-	+	-	+	-
8	+	-	+	-	+	-	+
9	-	+	-	+	-	+	-
10	+	-	+	-	+	-	+
11	-	+	-	+	-	+	-
12	+	-	+	-	+	-	+
13	-	+	-	+	-	+	-
14	+	-	+	-	+	-	+
15	-	+	-	+	-	+	-
16	+	-	+	-	+	-	+

(b) ライン反転

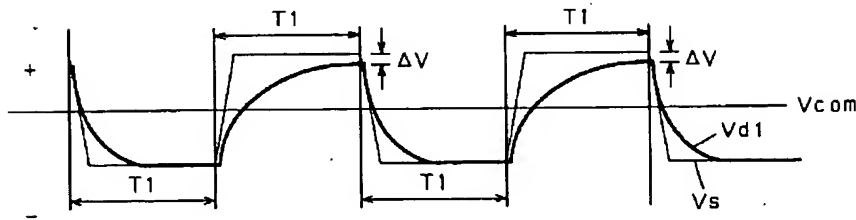
ライン番号 ↓

1	-	-	-	-	-	-	-
2	+	+	+	+	+	+	+
3	-	-	-	-	-	-	-
4	+	+	+	+	+	+	+
5	-	-	-	-	-	-	-
6	+	+	+	+	+	+	+
7	-	-	-	-	-	-	-
8	+	+	+	+	+	+	+
9	-	-	-	-	-	-	-
10	+	+	+	+	+	+	+
11	-	-	-	-	-	-	-
12	+	+	+	+	+	+	+
13	-	-	-	-	-	-	-
14	+	+	+	+	+	+	+
15	-	-	-	-	-	-	-
16	+	+	+	+	+	+	+

【図12】



【図13】



フロントページの続き

(51)Int. Cl. 7

G 0 9 G 3/20

識別記号

6 2 3

6 3 1

F I

G 0 9 G 3/20

テーマコード(参考)

6 2 3 P

6 3 1 M

(16)

F ターム (参考) 2H093 NA16 NA34 NA43 NA55 NB16  
NB21 NC09 NC16 NC24 NC29  
NC34 NC35 ND10 NH15 NH16  
5C006 AA16 AC22 AC28 AF42 AF44  
BB16 BC22 BF05 BF24 FA23  
5C080 AA10 BB06 DD06 EE29 FF11  
GG12 JJ02 JJ04

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ ~~FADED~~ TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ ~~LINES~~ OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**